

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2002 年 10 月 08 日
Application Date

申請案號：091123247
Application No.

申請人：麗臺科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 7 月 30 日
Issue Date

發文字號：09220768310
Serial No.

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	具邊界掃描之自我測試功能之電路板
	英 文	
二、發明 創作人	姓 名	劉 孟 賢
	國 籍	中華民國
	住、居所	桃園縣八德市桃鶯路118號
三、申請人	姓 名 (名稱)	麗臺科技股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣中和市建一路166號18樓
	代 表 人 姓 名	盧 崑 山

四、中文發明摘要（發明之名稱： 具邊界掃描之自我測試功能之電路板）

本發明揭示一種具邊界掃描之自我測試功能之電路板，其係將執行電路測試之主測元件（master device）設於一具有複數個待測元件（slave device）之電路板上，故可不需要受外界之測試裝置所驅動而達成自我測試之目的。該主測元件之測試資料經由電路板上之線路傳輸，以串聯及並聯之方式使每一個待測元件完成各項指定功能之測試，故藉此可檢測待測元件是否有缺陷存在。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝
訂
線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

C6
D6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

本案在向中華民國提出申請前未曾向其他國家提出申請專利。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明領域

本發明揭示一種具邊界掃描 (boundary scan) 之自我測試功能之電路板，其係將主動執行電路測試之功能內建於一電路板上。

發明背景

邊界掃描係八零年代依照 JTAG (Joint Test Action Group) 所開發出一種非常成功之測試方法，初期是為了因應電路板或系統層次之測試所規劃，而近來已廣泛為業界所接受，並且已作為絕大多數 IC 設計之標準規格，即 IEEE 1149.1。該規格係將特定之測試電路內建於電路板上之重要 IC 元件內，因而形成在電路板層次 (board-level) 執行各晶片層次 (chip-level) 之測試環境。

近年來消費市場之需求驅使產品外觀縮小，例如：行動電話、數位像機……等，並還要求滿足更多功能整合在一起、更快的處理速度及更短的產品生命週期，這些需求也使得所使用之電子元件更為複雜，無論是對於元件封裝之型態或者是電路板之線寬都變的更為精細，因此傳統之探針測試方式 (probe test) 已面臨相當大的瓶頸。當要測試較高腳數或細腳間距之元件時，元件測試插座之製作技術與測試之可靠性就受到很大的挑戰，相對地若要克服這些問題就會造成本升高。例如當元件之封裝型式為覆晶 (flip-chip) 或 500 接腳以上之 BGA 封裝送至無法以傳統之探針加以檢測。

習知技術有一種不需要使用具昂貴電腦之自動測試設備

五、發明說明(2)

(Auto-Testing Equipment; ATE) 來單獨測試不同之元件，而係直接在電路板上完成晶片層次之測試。圖1係一習知之電路板進行邊界掃描測試之測試路徑之示意圖。一電路板10之基板13上黏著多個具有邊界掃描電路之待測元件，例如元件111、高複雜可程式化元件(CPLD)112、處理器113...等等。外部之自動測試設備15只需與測試存取埠17(Test Access Ports; TAP)連線並將測試資料輸入，就可自動循測試路徑14而將所有待測元件依序(按照箭頭方向)進行各項測試，即前一個待測元件會將輸入之測試訊號循序移位至下一個待測元件，最終測試結果由測試存取埠17輸出至自動測試設備。該邊界掃描功能仍可就未具有邊界測試電路之元件12、動態隨機處理記憶體18及快閃記憶體19進行接腳之接合狀態測試。透過測試存取埠17之連線，除了可執行邊界測試之工作外，還可以將特定之程式碼藉由該測試路徑14燒錄於複雜可程式化元件112，或是將資料存於快閃記憶體19中，執行所謂系統內程式化(in-system programming)之功能。

然而該邊界掃描之測試工作仍須由該電路板10外部之自動測試設備15執行，就測試成本而言，顯然偏高。此外，基板13上之複雜度可程式化元件112並無法有效率地同時予以偵錯。因此對目前之自動化測試環境而言，仍存有許多值得改進的地方。

發明之簡要說明

本發明之主要目的係提供一種具邊界掃描之自我測試功

五、發明說明(3)

能之電路板。該電路板可於系統開機時執行自我測試，而於其方式係將一邊界掃描主動元件內建於電路板上。

本發明之第二目的係提供一種具燒錄程式碼功能之電路板，將由電路板本身提供程式碼並燒錄於其上之複雜可程式化元件或場可程式化閘陣列(Field Programable Gate Array; FPGA)元件，縮短由外部自動測試設備來執行燒錄所需之時間。

本發明之第三目的係為降低測試成本。本發明不需要使用昂貴之外部自動測試設備即可進行電路板之邊界掃描測試工作。

為達成上述目的並避免習知技藝所面臨的缺點，本發明揭示一種具邊界掃描之自我測試功能之電路板，其係將執行電路測試之主測元件內建於一具有複數個待測元件之電路板上，故可不需要受外界之測試裝置所驅動而達成自我測試之目的。該主測元件之測試資料經由電路板上之線路傳輸，以串聯及並聯之方式使每一個待測元件完成各項指定功能之測試，故藉此可檢測待測元件是否有缺陷存在。

本發明之具邊界掃描之自我測試功能之電路板，包含一基板、複數個待測元件及一主測元件。該複數個待測元件固著於該基板之表面，且具有邊界掃描之測試電路。該主測元件固著於該基板之表面，且和該複數個待測元件形成一測試路徑。此外，該主測元件用於產生邊界掃描之測試資料，並經由該測試路徑輸入至該複數個待測元件。

圖式之簡單說明

五、發明說明(4)

本發明將依照後附圖式來說明，其中：

圖1係一習知之電路板進行邊界掃描測試之示意圖；

圖2係一習知之具有邊界掃描電路之元件之示意圖；

圖3係本發明之電路板進行邊界掃描測試之測試路徑之示意圖；及

圖4係本發明之電路板執行自我測試之訊號傳輸之示意圖。

元件符號說明

10	習知之電路板	111	具邊界掃描電路之元件
112	複雜可程式化元件	113	處理器
12	未具有邊界測試電路之元件		
13	基板	14	測試路徑
15	自動測試設備	16	I/O埠
17	測試存取埠	18	動態隨機處理記憶體
19	快閃記憶體		
20	具邊界掃描電路之元件		
21	功能接腳	22	邊界暫存器單元
23	測試存取埠控制器		
231	測試時脈輸入接腳	232	測試模態選擇接腳
233	測試重設輸入接腳		
24	指令暫存器		
241	測試資料輸入接腳	242	測試資料輸出接腳
30	本發明之電路板	311	待測元件
312	複雜可程式化元件	313	處理器

五、發明說明(5)

314 主測元件

32 未具有邊界測試電路之元件

33 基板

34 測試路徑

35 顯示器

36 I/O埠

37 測試存取埠

38 動態隨機處理

39 快閃記憶體

42 待測元件群

發明詳細說明

圖2係一習知之具有邊界掃描電路之元件之示意圖。該元件20具有複數個功能接腳21自兩側延伸而出，該功能接腳21係執行元件20指定的各種功能。而每一功能接腳21內部都有一可輸入與輸出之邊界暫存器單元22與其相連接，該邊界暫存器單元22係一移位暫存器並與相鄰之單元相連接，如此各單元依序相連形成一邊界暫存器。測試存取埠控制器23是該元件20之核心，其包含下列不同功能之接腳：測試時脈輸入231 (Test Clock Input; TCK)、測試模式選擇232 (Test Mode Selector; TMS)及測試重設定輸入233 (Test Reset Input; TRST)。另外，還有測試資料輸入241 (Test Data Input; TDI)與測試資料輸出242 (Test Data Output; TDO)之接腳分別作為元件20之測試訊號輸入與輸出端，該兩個接腳並與指令暫存器24 (instruction register; IR)相連接。

圖3係本發明之電路板進行邊界掃描測試之示意圖，其主要特徵在於將一可產生邊界掃描所需之測試資料 (test pattern) 之主測元件314設於電路板30之基板33上。該主

五、發明說明(6)

測元件314係循測試路徑34而和待測元件311串聯。在該測試路徑34上，該主測元件314發出TMS、TRST和TCK至所有待測元件311，而TDI和鎮TDO信號係與該待測件311串聯使用。當前一個待測元件由TDO輸出訊號，該訊號就作為下一個待測元件之TDI所需之輸入訊號。依此方式所有的待測元件將依序（按照箭頭方向）輸入及輸出測試資料。

在測試路徑34之主測元件314、待測元件311、複雜可程式化元件312及處理器313等均具有邊界掃描電路。該主測元件314可為內嵌記憶體之微控制器，可由系統設計者將測試樣本燒錄至其內部記憶體。該微控制器可進行測試結果之比對，並可將測試結果經由I/O埠36輸出至系統之顯示器35，且該電路板30係插接在該系統之主機板上，因此每次開機時電路板30就會自動進行邊界掃描之測試，因而可減少相關確認之工作。而該測試路徑34也可跳過（bypass）一些不重要之待測元件，以節省測試的時間。本邊界掃描功能仍可就未具有邊界測試電路之元件32、動態隨機處理記憶體38及快閃記憶體39進行接腳之接合狀態測試。此外，本發明之主測元件314除了可執行邊界測試之工作外，還可以將特定之程式碼藉由該測試路徑34燒錄於該複雜可程式化元件312，或是將資料儲存在快閃記憶體39中。當然，該複雜可程式化元件37亦可以FPGA或GAL等元件代替。由於該主測元件314和該複雜可程式化元件312係位於同一測試路徑34上，因此不論資料之燒錄

五、發明說明(7)

或資料之測試均較習知技藝來得方便。

圖4係本發明之電路板執行自我測試之訊號傳輸之示意圖，其中主測元件314由TDO接腳輸出測試資料或燒錄程式至受測元件群42之第一個待測元件之TDI接腳而第一個待測元件會由TDO接腳輸出訊號，至下一個待測元件之TDI接腳。依此類推，該待測路徑將串連所有的待測元件，並由最後一個待測元件之TDO接腳輸出訊號至該主測元件314之TDI接腳。至於TCK、TMS及TRST接腳之訊號係由主測元件314以平行之方式輸入至各待測元件內。

本發明之技術內容及技術特點已揭示如上，然而熟悉本項技術之人士仍可能基於本發明之教示及揭示而作種種不背離本發明精神之替換及修飾。因此，本發明之保護範圍應不限於具體實施例所揭示者，而應包括各種不背離本發明之替換及修飾，並為以下之申請專利範圍所涵蓋。

裝
訂
線

六、申請專利範圍

1. 一種具邊界掃描之自我測試功能之電路板，包含：
一基板；
複數個待測元件，固著於該基板之表面，且具有邊界掃描之測試電路；及
一主測元件，固著於該基板之表面，且和該複數個待測元件形成一測試路徑，該主測元件用於產生邊界掃描之測試資料，並經由該測試路徑輸入至該複數個待測元件。
2. 如申請專利範圍第1項之具邊界掃描之自我測試功能之電路板，其中該複數個待測元件包含可程式化元件。
3. 如申請專利範圍第1項之具邊界掃描之自我測試功能之電路板，其中該可程式化元件為CPLD或FPGA元件。
4. 如申請專利範圍第1項之具邊界掃描之自我測試功能之電路板，其中該主測元件包含TDI、TDO、TCK、TMS及TRST接腳，該TCK、TMS及TRST之接腳訊號係由該主測元件以平行的方式發出至該複數個待測元件，而該TDI及TDO之接腳訊號係串聯行經該主測元件與該複數個待測元件。
5. 如申請專利範圍第1項之具邊界掃描之自我測試功能之電路板，其中該基板另包含至少一I/O埠，其用於輸出該主測元件之測試結果。
6. 如申請專利範圍第4項之具邊界掃描之自我測試功能之電路板，其中該基板另設有一測試存取埠，其TDI及TDO接腳係一短路之狀態。

六、申請專利範圍

7. 如申請專利範圍第4項之具邊界掃描之自我測試功能之電路板，其中該主測元件為一內含記憶體之微控制器，該記憶體可儲存該複數個待測元件之測試資料。
8. 如申請專利範圍第2項之具邊界掃描之自我測試功能之電路板，其中該主測元件具有該可程式化元件之程式碼，可藉由該測試路徑燒錄該程式碼於該可程式化元件內。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

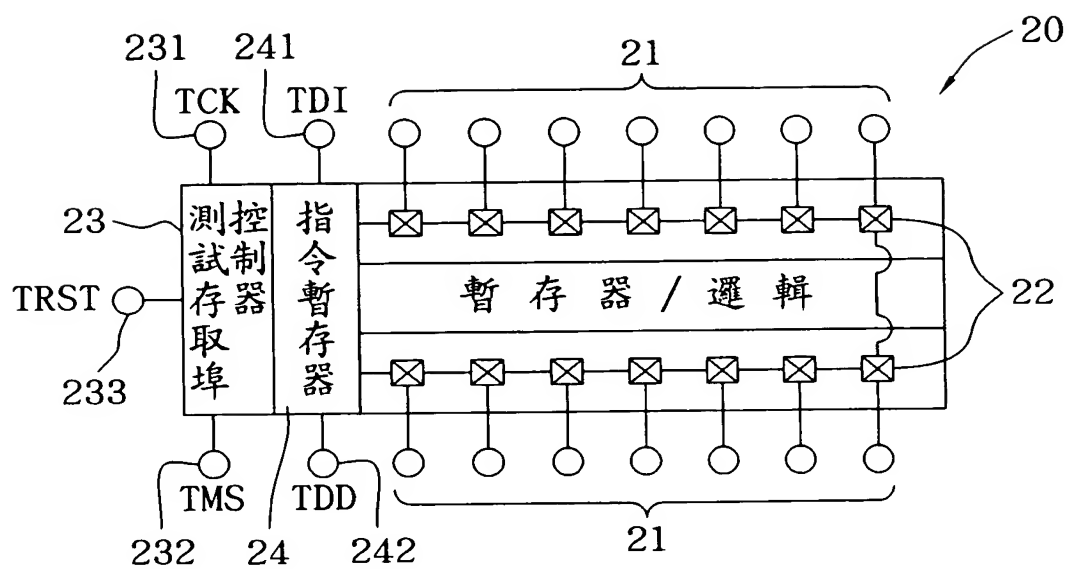


圖 2 (習知技藝)

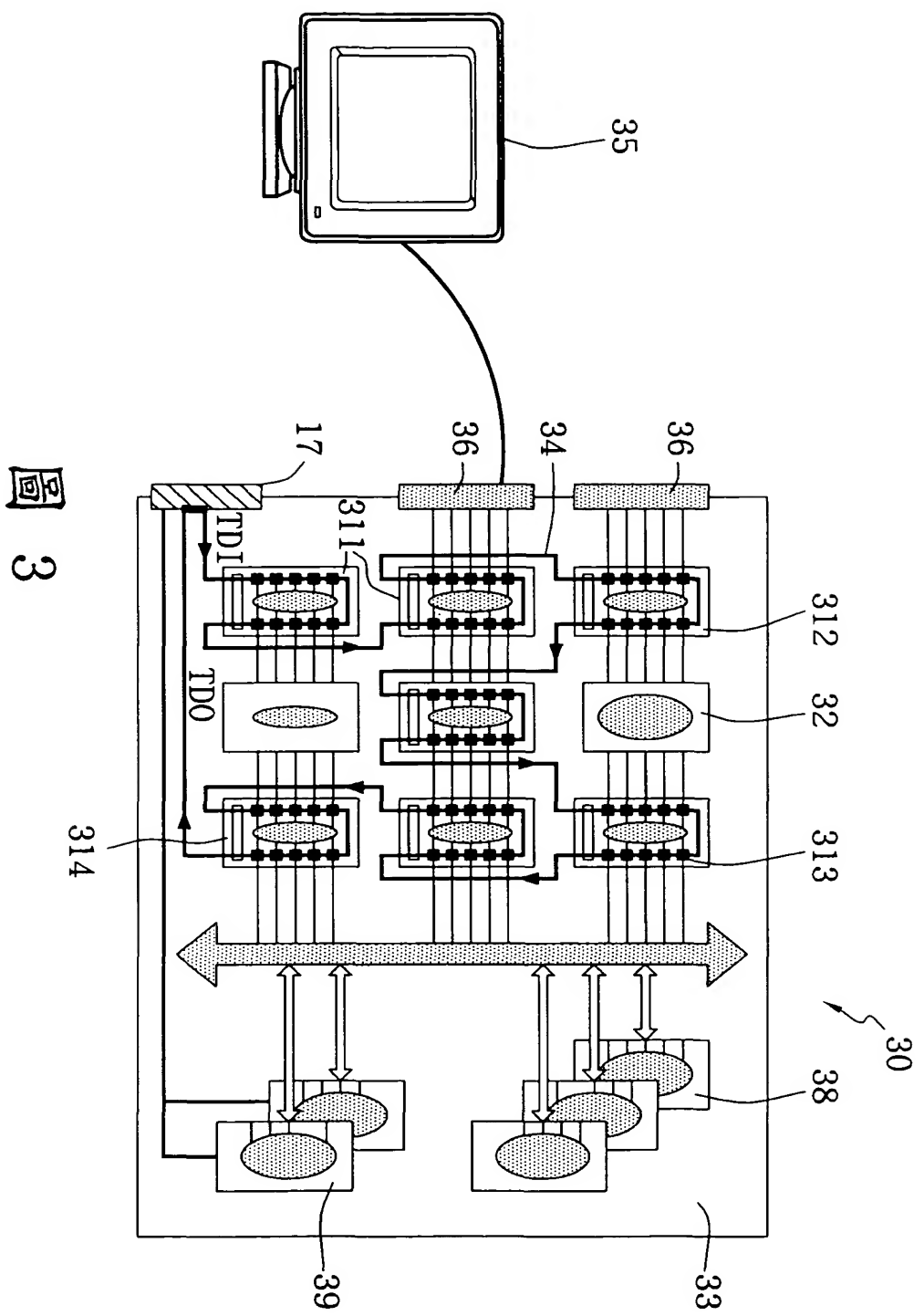


圖 3

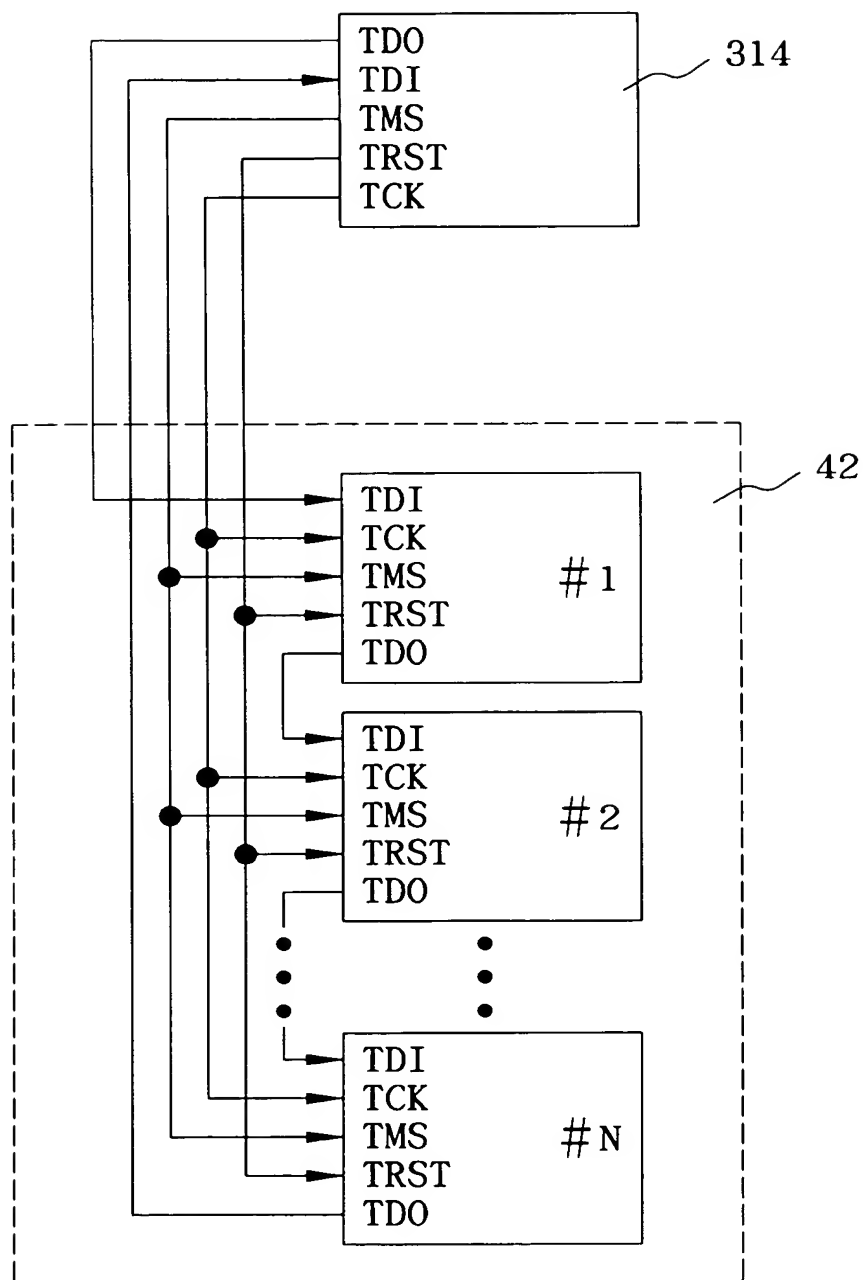


圖 4